

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Katuhiko KANAUCHI**

Serial Number: **Not Yet Assigned**

Filed: **August 5, 2003**

Customer No.: 23850

For: **DEVICE FOR AND METHOD OF DRIVING LUMINESCENT
DISPLAY PANEL**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

August 5, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

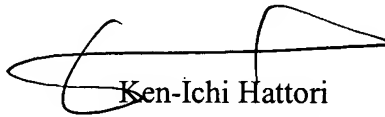
Japanese Appln. No. 2002-230072, filed on August 7, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP


Ken-Ichi Hattori
Reg. No. 32,861

Atty. Docket No.: 030915
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
KH/yap

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月 7日

出 願 番 号
Application Number:

特願2002-230072

[ST.10/C]:

[JP2002-230072]

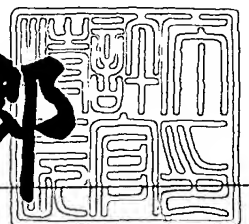
出 願 人
Applicant(s):

東北パイオニア株式会社

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025405

【書類名】 特許願

【整理番号】 57P0119

【提出日】 平成14年 8月 7日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/30
G09F 9/30

【発明者】

【住所又は居所】 山形県米沢市八幡原四丁目3 1 4 6 番地7 東北パイオ
ニア株式会社 米沢工場内

【氏名】 金内 一浩

【特許出願人】

【識別番号】 000221926

【氏名又は名称】 東北パイオニア株式会社

【代理人】

【識別番号】 100101878

【弁理士】

【氏名又は名称】 木下 茂

【手数料の表示】

【予納台帳番号】 063692

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102484

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光表示パネルの駆動装置および駆動方法

【特許請求の範囲】

【請求項 1】 複数のデータ線および複数の走査線の交差位置に配され、少なくともそれぞれに点灯駆動用トランジスタを介して発光制御される複数の発光素子を備えたアクティブマトリクス型表示パネルの駆動装置であって、

前記発光素子に対して点灯駆動用トランジスタを介して順方向電圧を加える点灯モードと、前記発光素子に対して点灯駆動用トランジスタを介して逆バイアス電圧を加える逆バイアス電圧印加モードとが選択されるようになされ、且つ前記逆バイアス電圧印加モードを選択した場合においては、前記点灯駆動用トランジスタをバイパスして発光素子に対して逆バイアス電圧を印加する逆バイアス電圧印加手段が働くように構成したことを特徴とする発光表示パネルの駆動装置。

【請求項 2】 前記逆バイアス電圧印加手段は、前記点灯駆動用トランジスタに対して並列接続されて、逆バイアス電圧により導通状態となるダイオードまたは T F T を含むことを特徴とする請求項 1 に記載の発光表示パネルの駆動装置。

【請求項 3】 前記走査線に対応して配列された複数の発光素子を共通接続する電極ラインを、前記走査線ごとに電氣的に分離して形成し、前記各電極ラインに対して所定の電圧レベルを印加することで、前記逆バイアス電圧印加モードが選択されるように構成したことを特徴とする請求項 1 または請求項 2 に記載の発光表示パネルの駆動装置。

【請求項 4】 前記電極ラインが、前記走査線に対応して配列された各発光素子の陰極側を共通接続する陰極ラインであることを特徴とする請求項 3 に記載の発光表示パネルの駆動装置。

【請求項 5】 前記電極ラインが、前記走査線に対応して配列された各発光素子の陽極側を共通接続する陽極ラインであることを特徴とする請求項 3 に記載の発光表示パネルの駆動装置。

【請求項 6】 前記発光素子は、有機化合物を発光層に用いた有機 E L 素子により構成したことを特徴とする請求項 1 ないし請求項 5 のいずれかに記載の発

光表示パネルの駆動装置。

【請求項 7】 複数のデータ線および複数の走査線の交差位置に配され、少なくともそれぞれに点灯駆動用トランジスタを介して発光制御される複数の発光素子を備えたアクティブマトリクス型表示パネルの駆動方法であって、

前記発光素子に対して点灯駆動用トランジスタを介して順方向電圧を加える発光素子の点灯ステップと、前記発光素子に対して点灯駆動用トランジスタを介して逆バイアス電圧を加える逆バイアス電圧印加ステップとが実行されると共に、前記逆バイアス電圧印加ステップが実行される場合においては、点灯駆動用トランジスタをバイパスして発光素子に対して逆バイアス電圧を印加する逆バイアス電圧印加手段が動作されることを特徴とする発光表示パネルの駆動方法。

【請求項 8】 前記走査線に対応して配列された複数の発光素子を共通接続する電極ラインを、前記走査線ごとに電気的に分離して形成し、前記各電極ラインごとに時間的に重ならないようにして、逆バイアス電圧を印加することを特徴とする請求項 7 に記載の発光表示パネルの駆動方法。

【請求項 9】 単位フレーム期間を複数のサブフィールドに分割し、各サブフィールドごとに定められた発光素子の発光時間比に基づいて、多階調表現を実行するようになされ、且つ前記サブフィールド期間中における発光素子の非発光時間内において、前記電極ラインに逆バイアス電圧を印加することを特徴とする請求項 8 に記載の発光表示パネルの駆動方法。

【請求項 10】 走査線ごとになされるアドレス期間中において、前記電極ラインに逆バイアス電圧を印加することを特徴とする請求項 8 に記載の発光表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、画素を構成する発光素子を例えば T F T によってアクティブ駆動させる表示パネルの駆動装置に関し、特に前記発光素子に対して効果的に逆バイアス電圧を加えることができる表示パネルの駆動装置および駆動方法に関する。

【0002】

発光素子をマトリクス状に配列して構成される表示パネルを用いたディスプレイの開発が広く進められている。このような表示パネルに用いられる発光素子として、例えば有機材料を発光層に用いた有機EL（エレクトロルミネッセンス）素子が注目されている。これはEL素子の発光層に、良好な発光特性を期待することができる有機化合物を使用することによって、実用に耐えうる高効率化および長寿命化が進んだことも背景にある。

【0003】

かかる有機EL素子を用いた表示パネルとして、EL素子を単にマトリクス状に配列した単純マトリクス型表示パネルと、マトリクス状に配列したEL素子の各々に、例えばTFT（Thin Film Transistor）からなる能動素子を加えたアクティブマトリクス型表示パネルが提案されている。後者のアクティブマトリクス型表示パネルは、前者の単純マトリクス型表示パネルに比べて、低消費電力を実現することができ、また画素間のクロストークが少ない等の特質を備えており、特に大画面を構成する高精細度のディスプレイに適している。

【0004】

図1は、従来のアクティブマトリクス型表示パネルにおける1つの画素10に対応する回路構成の一例を示している。図1において制御用TFT11のゲートGは走査線（走査ラインA1）に接続され、ソースSはデータ線（データラインB1）に接続されている。また、この制御用TFT11のドレインDは、駆動用TFT12のゲートGに接続されると共に、電荷保持用のキャパシタ13の一方の端子に接続されている。

【0005】

駆動用TFT12のドレインDは前記キャパシタ13の他方の端子に接続されると共に、パネル内に形成された共通陽極16に接続されている。また駆動用TFT13のソースSは、有機EL素子14の陽極に接続され、この有機EL素子14の陰極は、パネル内に形成された例えば基準電位点（アース）を構成する共通陰極17に接続されている。

【0006】

図2は、図1に示した各画素10を担う回路構成を、表示パネル20に配列し

た状態を模式的に示したものであり、各走査ライン A1 ～ An と、各データライン B1 ～ Bm との交差位置の各々において、図 1 に示した回路構成の各画素 1 0 がそれぞれ形成されている。そして、前記した構成においては、駆動用 T F T 1 2 の各ドレイン D が図 2 に示された共通陽極 1 6 にそれぞれ接続され、各 E L 素子 1 4 の陰極が同じく図 2 に示された共通陰極 1 7 にそれぞれ接続された構成とされている。そして、この回路において、発光制御を実行する場合においては、電圧源 E 1 の正電源端子がスイッチ 1 8 を介して、表示パネル 2 0 に形成された共通陽極 1 6 に接続され、また電圧源 E 1 の負電源端子が共通陰極 1 7 に接続される。

【 0 0 0 7 】

この状態において、図 1 における制御用 T F T 1 1 のゲート G に走査ラインを介してオン電圧が供給されると、T F T 1 1 はソース S に供給されるデータラインからの電圧に対応した電流を、ソース S からドレイン D に流す。したがって、T F T 1 1 のゲート G がオン電圧の期間に、前記キャパシタ 1 3 が充電され、その電圧が T F T 1 2 のゲート G に供給されて、T F T 1 2 にはそのゲート電圧とドレイン電圧に基づいた電流を、ソース S から E L 素子 1 4 を通じて共通陰極 1 7 に流し、E L 素子 1 4 を発光させる。

【 0 0 0 8 】

また T F T 1 1 のゲート G がオフ電圧になると、T F T 1 1 はいわゆるカットオフとなり、T F T 1 1 のドレイン D は開放状態となるものの、駆動用 T F T 1 2 はキャパシタ 1 3 に蓄積された電荷によりゲート G の電圧が保持され、次の走査まで駆動電流を維持し、E L 素子 1 4 の発光も維持される。なお、前記した駆動用 T F T 1 2 には、ゲート入力容量が存在するので、前記したキャパシタ 1 3 を格別に設けなくても、前記と同様な動作を行わせることが可能である。

【 0 0 0 9 】

【発明が解決しようとする課題】

ところで有機 E L 素子は、電氣的には前記したとおりダイオード特性を有する発光エレメントと、これに並列に接続された静電容量（寄生容量）を有しており、このダイオード特性の順方向電流にほぼ比例した強度で発光することが知られ

ている。また、前記した E L 素子においては、発光に関与しない逆方向の電圧（逆バイアス電圧）を逐次印加することで、クロストーク発光をより低減させることができると共に、E L 素子の寿命を延ばすことができることが経験的に知られている。

【 0 0 1 0 】

そこで、例えば特開 2 0 0 1 - 1 1 7 5 3 4 号公報には、前記した共通陽極 1 6 と、共通陰極 1 7 との間に逆バイアス電圧を印加することが示されている。すなわち、図 2 に示す電圧源 E 2 は、前記した逆バイアス電圧を印加する時に利用されるものであり、逆バイアス電圧の印加時には、スイッチ 1 8 は電圧源 E 2 側に切り換えられる。これにより、共通陰極 1 7 に対して電圧源 E 2 の正電源端子が、また共通陽極 1 6 に電圧源 E 2 の負電源端子が接続される。したがって、図 1 に示す E L 素子 1 4 には、駆動用 T F T 1 2 のドレイン D とソース S を介して逆バイアス電圧が印加されることになる。

【 0 0 1 1 】

図 1 および図 2 に示す従来における表示パネルの駆動装置によると、共通陽極 1 6 と共通陰極 1 7 との間に、駆動用 T F T 1 2 を介して E L 素子 1 4 が接続された構成とされているので、前記 E L 素子 1 4 に対して逆バイアス電圧を印加する場合、全ての E L 素子を一時的に非点灯となる期間を設定しなければならない。このために、前記した特開 2 0 0 1 - 1 1 7 5 3 4 号公報に開示された例においては、時分割階調表現法を利用した場合において、全ての走査ラインに走査信号を送出し終えたアドレス期間の終了時点から始まる第 1 サブフィールド（SF1）の E L 素子の点灯期間において、全ての E L 素子に対して同時に逆電圧を印加する期間（T b）を設定するように制御される。

【 0 0 1 2 】

このように、階調表現を行うための E L 素子の点灯時間および不点灯時間の設定とは別に、E L 素子に対する逆電圧の印加のための不点灯時間を設定するために、E L 素子の発光デューティ（D u t y）比、すなわち点灯時間率を低下させることは避けられない。その結果、E L 素子の実質的な発光輝度が低下するので、これをカバーするためには E L 素子の発光時の駆動電流を上昇させる必要が発

生し、電源回路の負荷が増大するという問題を抱えることになる。

【 0 0 1 3 】

また、前記したような逆電圧の印加作用によると、全ての画素に対応する E L 素子および電圧保持機能を果たすキャパシタを含む各回路に対して、同時に正電圧および逆バイアス電圧の切り換え動作がなされるので、その切り換え瞬時に負荷電流が極端に増大することは免れない。このために、同じく電源回路において瞬時に流れる大きな負荷電流への対策も必要となる。

【 0 0 1 4 】

しかも、前記した特開 2 0 0 1 - 1 1 7 5 3 4 号公報に開示された例によると、逆バイアス電圧の印加時においては、駆動用 T F T 1 2 のドレイン D とソース S 間のインピーダンスを介して、E L 素子 1 4 に対して逆バイアス電圧を加えざるを得ないという問題が残される。この場合、駆動用 T F T 1 2 は E L 素子の安定した駆動動作を保証するために定電流駆動がなされるように設定されており、したがって、ドレイン D とソース S 間のインピーダンスは、高いインピーダンスを呈している。

【 0 0 1 5 】

そのために、たとえ共通陽極と共通陰極間に逆バイアス電圧が印加されても、高いインピーダンスを呈する駆動用 T F T 1 2 の存在により、E L 素子の寄生容量において正バイアス時に蓄積された電荷を即座に逃がすことができず、結果として E L 素子に対して効果的に逆バイアス電圧を印加することができないという問題が残される。

【 0 0 1 6 】

この発明は、前記した技術的な問題点に着目してなされたものであり、点灯時間率を低下させることなく、E L 素子に対して効果的に逆バイアス電圧を印加することができる発光表示パネルの駆動装置および駆動方法を提供することを主たる課題とするものである。またこの発明は、逆バイアス電圧の印加タイミングにおいて集中的に発生する負荷電流を時間的に分散させることができる駆動装置および駆動方法を提供することを課題とするものである。

【 0 0 1 7 】

【課題を解決するための手段】

前記した課題を解決するためになされたこの発明にかかる駆動装置は、請求項 1 に記載のとおり、複数のデータ線および複数の走査線の交差位置に配され、少なくともそれぞれに点灯駆動用トランジスタを介して発光制御される複数の発光素子を備えたアクティブマトリクス型表示パネルの駆動装置であって、前記発光素子に対して点灯駆動用トランジスタを介して順方向電圧を加える点灯モードと、前記発光素子に対して点灯駆動用トランジスタを介して逆バイアス電圧を加える逆バイアス電圧印加モードとが選択されるようになされ、且つ前記逆バイアス電圧印加モードを選択した場合においては、前記点灯駆動用トランジスタをバイパスして発光素子に対して逆バイアス電圧を印加する逆バイアス電圧印加手段が働くように構成した点に特徴を有する。

【0018】

この場合、好ましい 1 つの形態においては請求項 3 に記載のとおり、前記走査線に対応して配列された複数の発光素子を共通接続する電極ラインを、前記走査線ごとに電気的に分離して形成し、前記各電極ラインに対して所定の電圧レベルを印加することで、前記逆バイアス電圧印加モードが選択されるように構成される。

【0019】

一方、前記した課題を解決するためになされたこの発明にかかる駆動方法は、請求項 7 に記載のとおり、複数のデータ線および複数の走査線の交差位置に配され、少なくともそれぞれに点灯駆動用トランジスタを介して発光制御される複数の発光素子を備えたアクティブマトリクス型表示パネルの駆動方法であって、前記発光素子に対して点灯駆動用トランジスタを介して順方向電圧を加える発光素子の点灯ステップと、前記発光素子に対して点灯駆動用トランジスタを介して逆バイアス電圧を加える逆バイアス電圧印加ステップとが実行されると共に、前記逆バイアス電圧印加ステップが実行される場合においては、点灯駆動用トランジスタをバイパスして発光素子に対して逆バイアス電圧を印加する逆バイアス電圧印加手段が動作される点に特徴を有する。

【0020】

【発明の実施の形態】

以下、この発明にかかる発光表示パネルの駆動装置について、図に示す実施の形態に基づいて説明する。なお、以下の説明においては、前記した図1および図2において説明した各部に相当する部分を、同一符号で示すことにする。まず、図3はこの発明にかかる駆動装置における第1の実施の形態をブロック図によって示したものである。図3において、入力されたアナログ映像信号は、駆動制御回路21およびアナログ／デジタル（A／D）変換器22に供給される。前記駆動制御回路21はアナログ映像信号中における水平同期信号および垂直同期信号に基づいて、前記A／D変換器22に対するクロック信号、およびフレームメモリ23に対する書き込みおよび読み出し信号を生成する。

【0021】

前記A／D変換器22は、駆動制御回路21から供給されるクロック信号に基づいて、入力されたアナログ映像信号をサンプリングし、これを1画素毎に対応した画素データに変換して、フレームメモリ23に供給するように作用する。前記フレームメモリ23は、駆動制御回路21からの書き込み信号によって、A／D変換器22から供給される各画素データをフレームメモリ23に順次書き込むように動作する。

【0022】

かかる書き込み動作により表示パネルにおける一画面（m行、n列）分のデータの書き込みが終了すると、メモリ23は駆動制御回路21から供給される読み出し信号によって、第1行から第m行へと1行分毎に読み出した駆動画素データを、順次データドライバ24に供給するようになされる。

【0023】

一方、これと同時に駆動制御回路21より書き込み用ゲートドライバ25に対してタイミング信号が送出され、これに基づいてゲートドライバ25は、後述するように各走査ラインに対して順次ゲートオン電圧を送出する。したがって、前記のようにしてメモリ23から読み出された1行分毎の駆動画素データは、ゲートドライバ25の走査によって、1行毎にアドレッシングされる。また、この実施の形態においては、前記駆動制御回路21より消去用陰極ドライバ26に対して

制御信号が送出されるように構成されている。

【 0 0 2 4 】

前記消去用陰極ドライバ 2 6 は、駆動制御回路 2 1 から制御信号を受けて、後述するように各走査ライン毎に電氣的に分離して配列された電極ライン（この実施の形態においては陰極ライン C1 ～ Cn と称する）に対して、選択的に所定の電圧レベルを印加し、E L 素子に対して順方向または逆バイアス電圧を供給するように動作する。

【 0 0 2 5 】

図 4 は、図 3 に示した表示パネル 2 0 において、マトリクス状に配置された各画素 1 0 のうちの 1 つの回路構成を示したものである。なお、この図 4 においては図 1 に基づいてすでに説明した各部に相当する部分を同一符号で示しており、その相当する部分の詳細な説明は割愛する。この図 4 に示した回路構成においては、点灯駆動用 T F T 1 2 のソース S とドレイン D との間に、これをバイパスするようにしてダイオード 1 5 が接続されている。すなわち、前記ダイオード 1 5 は、その陽極（アノード）が前記した E L 素子 1 4 の陽極に接続されており、ダイオード 1 5 の陰極（カソード）は、共通陽極 1 6 に接続されている。したがって、前記ダイオード 1 5 は、ダイオード特性を有する E L 素子 1 4 の順方向に対して、逆方向となるように駆動用 T F T 1 2 のソース S とドレイン D との間に並列接続されている。

【 0 0 2 6 】

一方、図 4 に示した回路構成においては、E L 素子 1 4 の陰極（カソード）は、走査ライン A1 に対応して形成された共通の電極ライン（陰極ライン C1 ）に接続されており、後述するように図 3 に示す消去用陰極ドライバ 2 6 によって、当該陰極ラインに所定の電圧レベル（E L 素子に対する順方向電圧または逆バイアス電圧）が印加されるようになされる。すなわち、図 5 に示すように、走査ライン A1 ～ An に対応してそれぞれ陰極ライン C1 ～ Cn が形成されており、前記したように各走査ライン A1 ～ Am に対応して配置された各 E L 素子 1 4 の陰極は、各陰極ライン C1 ～ Cn にそれぞれ共通接続された構成になされている。

【 0 0 2 7 】

そして、図 5 に示すように各陰極ライン C1 ~ Cn には、消去用陰極ドライバ 26 によって、各陰極ラインに所定の電圧レベルが印加することができるように構成されている。すなわち、ここでは共通陽極 16 に加わる電圧レベルを “Va” とした場合、各陰極ライン C1 ~ Cn には、“Vh” または “Vl” が選択的に印加されるようになされる。前記 “Va” に対する “Vl” のレベル差、すなわち $V_a - V_l$ は、EL 素子 14 において順方向電圧（例えば 10 V 程度）となるように設定されており、したがって、各陰極ライン C1 ~ Cn に選択的に “Vl” が設定された場合には各画素 10 を構成する EL 素子 14 は発光可能な状態となる。

【 0 0 2 8 】

また、前記 “Va” に対する “Vh” のレベル差、すなわち $V_a - V_h$ は、EL 素子 14 において逆バイアス電圧（例えば -8 V 程度）となるように設定されており、したがって、各陰極ライン C1 ~ Cn に選択的に “Vh” が印加された場合には、各画素 10 を構成する EL 素子 14 は非発光（消去）状態になされ、この時、図 4 に示したダイオード 15 は、前記逆バイアス電圧によって導通状態になされる。

【 0 0 2 9 】

前記各陰極ライン C1 ~ Cn に対する “Vh” または “Vl” の印加動作は、図 5 に示すように消去用陰極ドライバ 26 に配置されたシフトレジスタ 27 によって制御される。すなわち、シフトレジスタ 27 には図 3 に示した駆動制御回路 21 からシフトタイミング信号が供給されると共に、後述するように 1 サブフィールド分のデータ信号が供給される。シフトレジスタ 27 は、シフトタイミング信号によって前記データ信号を順にシフトアップして記憶させる。この時の各レジスタに記憶されたデータ信号によって FET (Field Effect Transistor) または TFT 28a, 28b が択一的にオン状態になされ、前記各陰極ライン C1 ~ Cn に対して “Vh” または “Vl” のいずれかの電圧レベルが印加される。

【 0 0 3 0 】

一方、この実施の形態においては図 3 に示す駆動制御回路 21 は、入力映像信号における単位フレーム期間を、複数のサブフィールドに分割し、各サブフィー

ルド内においてEL素子14を点灯制御すべき駆動信号を、それぞれ前記したデータドライバ24、書込み用ゲートドライバ25、および消去用ゲートドライバ26の各々に供給するように構成されている。この単位フレーム期間を複数のサブフィールドに分割する操作は、階調表現（重み付き時間階調）を行うためになされるものである。すなわち、各サブフィールドにおける輝度の相対比、すなわちEL素子の発光時間比が、図6に便宜的に示すように各サブフィールド毎に、1, 1/2, 1/4, 1/8となるように設定されている。そして、これらのサブフィールドを選択して組み合わせることにより、多階調表現を実現することができる。

【0031】

なお、図6に示す例においては図示の便宜上、単位フレーム期間を第1から第4のサブフィールド（第1SF～第4SF）に分割した例を示しているが、このサブフィールドへの分割数が多いほど多階調の表現を実現することができる。ただし、サブフィールドへの分割数を増やすほど、駆動周波数を大きくしなければならない。そこで、実用上においては単位フレーム期間を例えば8つのサブフィールドに分割し、これにより256階調を実現させることが提案されている。

【0032】

図3に示す駆動制御回路21は、設定された輝度階調に基づいて各サブフィールド毎に各画素の発光期間を制御するように動作する。すなわち、駆動制御回路21からは、1サブフィールド毎のタイミングにしたがって書込み用ゲートドライバ25における図示せぬシフトレジスタに対してアドレッシング（書込み）信号が供給される。また、これに同期して駆動制御回路21からは、データドライバ24に対して1サブフィールド分の発光駆動データが、各走査ラインの走査に対応して順次供給される。さらに駆動制御回路21から消去用陰極ドライバ26に対して、設定された輝度階調に基づくサブフィールド毎に定められた発光パターンにしたがうデータが供給される。それ故、各陰極ラインC1～Cnに対してはサブフィールド毎に定められた前記電圧レベル（“V1”または“Vh”のいずれか）が供給されることになる。

【0033】

前記したサブフィールド毎の発光駆動動作は、第 1 行目（第 1 走査ライン A1）から第 n 行（第 n 走査ライン A_n）に向かって順に実行されるいわゆる線順次表示方式が採用される。図 7 はこの様子を模式的に示したものであり、図 6 に示した重み付き時間階調パターンと同様な発光駆動動作を実現させる例を示している。図 7 における（A）～（C）は、例えば、第 1 走査ライン A1 ～第 3 走査ライン A3 についての書き込み信号と、消去信号の発生タイミングの例を示したものである。図 7 に示すように第 1 走査ラインから第 n 走査ラインに向かって順に書き込み信号が供給されてアドレス期間となり、そのアドレス期間の開始は、第 1 走査ラインから第 n 走査ラインに向かって所定時間ずつ遅れる。

【 0 0 3 4 】

ここで、図 7 に例示された第 1 サブフィールド（第 1 S F）においては、各陰極ライン C1 ～ C_n には、それぞれ“V_l”の電圧レベルが印加されて各画素 10 を構成する E L 素子 1 4 は発光可能な状態になされる。また図 7 に例示された第 2 サブフィールド（第 2 S F）においては、その発光時間比を 1 / 2 とする消去タイミングにおいて、各陰極ライン C1 ～ C_n における電圧レベルが、“V_l”から“V_h”に切り換えられる。この時の消去動作への切り換えタイミングは、各陰極ライン C1 ～ C_n に向かって所定時間ずつ遅れる。

【 0 0 3 5 】

このような切り換え動作は図 7 に示す例においては、第 3 サブフィールド（第 3 S F）、および第 4 サブフィールド（第 4 S F）においても実行される。しかも、その切り換えタイミングは、陰極ライン C1 ～ C_n に向かって同様に所定時間ずつ遅れる。このようにして、表示パネル 2 0 においては重み付き時間階調制御を受けた映像信号が再生される。

【 0 0 3 6 】

前記した第 1 の実施の形態は、時分割階調表現手段における同時消去法（S E S = Simultaneous-Erasing-Scan）を採用したものであり、階調表現を行うために画素を構成する E L 素子に順方向電圧（V_a - V_l）を加える点灯モードと、E L 素子に対して逆バイアス電圧（V_a - V_h）を加える逆バイアス電圧印加モード（消去動作）とが選択される。そして、逆バイアス電圧印加モードにおいて

は、点灯駆動用トランジスタをバイパスして E L 素子に対して逆バイアス電圧を印加する逆バイアス電圧印加手段、すなわち逆バイアス電圧により導通状態となるダイオード 1 5 が具備されているので、E L 素子に対して効果的に逆バイアスを加えることができる。

【 0 0 3 7 】

この場合、走査ラインに対応して配列された E L 素子の陰極側を共通接続する陰極ラインを、前記走査ラインごとに電氣的に分離して配列した構成とし、前記したような時間階調制御を併用することで、時間階調制御による消去動作と同時に、E L 素子に対して逆バイアス電圧を印加することができる。これにより、E L 素子の発光デューティ比、すなわち点灯時間率を犠牲にすることなく、E L 素子に対して逆バイアス電圧を印加することができる。さらに、前記した第 1 の実施の形態によると、消去動作は線順次方式により実行されるので、E L 素子および電圧保持機能を果たすキャパシタ等に対する逆バイアス電圧の印加に基づいて発生する瞬時のピーク電流を分散させることができる。

【 0 0 3 8 】

以上説明した第 1 の実施の形態においては、重み付き時間階調制御を併用した例に基づいて説明したが、この発明にかかる発光表示パネルの駆動装置は、階調制御として例えばアナログ制御方式を採用した駆動装置にも利用することができる。図 8 はその例を示す第 2 の実施の形態について説明するものであり、すでに説明した図 5 と同様な構成で示している。図 8 に示す第 2 の実施の形態においては、各走査ライン A1 ～ An は第 1 ゲートドライバ 2 5 によって各ライン毎にアドレスングされるように構成されている。すなわち、この第 1 ゲートドライバ 2 5 は、図 5 に示した書込み用ゲートドライバ 2 5 と、同一の機能を果たすように作用する。

【 0 0 3 9 】

そして、図 8 に示す実施の形態においては、各走査ライン A1 ～ An に対して順次アドレスングする際に、データドライバ 2 4 より各データライン B1 ～ Bm に対して、各 E L 素子の発光輝度に対応したアナログ出力が供給されるようになされる。これにより、各画素 1 0 を構成するキャパシタ 1 3 には、各 E L 素子

の発光輝度に対応した電圧がそれぞれ充電され、この充電電荷に基づいて各 E L 素子の発光輝度が制御される。また、前記した各走査ライン A1 ~ An に対して順次アドレッシングするのに同期して、第 2 ゲートドライバ 2 6 においては、各陰極ライン C1 ~ Cn に対して選択的に逆バイアス電圧を供給するようになされる。

【 0 0 4 0 】

図 9 は、図 8 に示す実施の形態において逆バイアス電圧を供給する制御形態の一例を示したものである。この例においては第 1 ~ 第 4 の単位フレーム（第 1 F ~ 第 4 F）に別けてアドレッシング動作が行われる場合を示している。そして、図 9 における（A）~（C）は、例えば第 1 走査ライン A1 ~ 第 3 走査ライン A3 について、第 1 ゲートドライバ 2 5 の走査による書き込み信号の発生タイミング（図 9 ではゲート 1 と標記）と、これに同期した第 2 ゲートドライバ 2 6 による逆バイアス電圧の供給タイミング（図 9 ではゲート 2 と標記）の関係を示している。すなわち、図 9 に示すように線順次表示方式により第 1 走査ラインから第 n 走査ラインに向かって順に書き込み信号が供給されてアドレス期間となり、そのアドレス期間の開始は、第 1 走査ラインから第 n 走査ラインに向かって所定時間ずつ遅れる。

【 0 0 4 1 】

また、この実施の形態においては、第 2 ゲートドライバ 2 6 においては第 1 ゲートドライバ 2 5 の走査によるアドレッシングのタイミングに同期して、電圧 “Vh” を出力するように制御される。したがって、図 8 に示す実施の形態においては、アドレス時間に対応して、E L 素子に対して常に逆バイアス電圧が印加される。なお、図 8 に示す実施の形態においては、第 2 ゲートドライバ 2 6 におけるシフトレジスタ 2 7 に対して供給するデータを変更することにより、各陰極ライン C1 ~ Cn を介し、1 フレーム期間におけるアドレッシングのタイミングにおいて、例えば 1 度だけ E L 素子に対して逆バイアス電圧を印加するような制御形態を選択することができる。あるいは任意のアドレッシングのタイミングにおいて、E L 素子に対して逆バイアス電圧を印加するような制御形態も選択することができる。したがって、前記した手段を採用した場合においては、E L 素子に

対する逆バイアス電圧を印加する頻度を調整することができ、逆バイアス電圧を印加することによる充放電に伴う損失を低減させることにも寄与できる。

【 0 0 4 2 】

以上説明した第 2 の実施の形態においても、点灯時間率を犠牲にすることなく、E L 素子に対して逆バイアス電圧を印加することができる。そして、E L 素子に対して逆バイアス電圧を印加した場合には、逆バイアス電圧により導通状態となるダイオードが具備されているので、E L 素子に対して効果的に逆バイアス電圧を加えることができる。また、走査ラインに対応した各陰極ライン C1 ~ Cn を介して、線順次方式により逆バイアス電圧を印加するようになされるので、E L 素子および電圧保持機能を果たすキャパシタ等に対する逆バイアス電圧の印加に基づいて発生する瞬時のピーク電流を分散させることができる。

【 0 0 4 3 】

次に図 1 0 は、第 3 の実施の形態を示したものであり、図 8 に示した第 1 ゲートドライバ 2 5 を省略した例を示している。この第 3 の実施の形態においては、第 1 ゲートドライバを省略したことにより、制御用 T F T のゲートは各陰極ライン C1 ~ Cn にそれぞれ接続されている。この構成によると、各陰極ライン C1 ~ Cn に電圧 “Vh” を供給することにより、制御用 T F T をオン動作させることができ、アドレス動作と同時に逆バイアス電圧の印加を達成することができる。したがって、この図 1 0 に示す第 3 の実施の形態における逆バイアスの印加タイミングは、すでに説明した図 9 に示す制御形態が採られる。

【 0 0 4 4 】

この図 1 0 に示した第 3 の実施の形態においても、前記した各実施の形態と同様に、点灯時間率を犠牲にすることなく、E L 素子に対して逆バイアス電圧を印加することができる。この時、ダイオード 1 5 を介して E L 素子 1 4 に対して効果的に逆バイアス電圧を加えることができる。また、走査ラインに対応した各陰極ライン C1 ~ Cn を介して、線順次方式により逆バイアス電圧を印加するようになされるので、逆バイアス電圧の印加に基づいて発生する瞬時のピーク電流を分散させることができる。

【 0 0 4 5 】

なお、以上説明した各実施の形態においては、いずれも走査ラインに対応して配列された各発光素子の陰極側が共通接続される陰極ラインC1～Cnが備えられ、各陰極ラインに供給する電圧と共通陽極16との間の電位差により、各EL素子に対して順方向電圧または逆バイアス電圧を印加するようになされている。これに対して、走査ラインに対応して配列された各発光素子の陽極側が共通接続される陽極ラインを形成し、同様にして各EL素子に対して順方向電圧または逆バイアス電圧を印加するように構成することもできる。

【0046】

図11および図12はその例を示したものであり、それぞれ前記した図3および図4に示した各部に相当する部分を同一符号で示している。この第4の実施の形態における各画素10は、図12に示すようにEL素子14の陰極が共通陰極17に接続されている。一方、EL素子14の陽極は駆動用TFT12のドレインDおよびソースSを介して、各走査ライン毎に電氣的に分離して配列された電極ライン（この実施の形態においては陽極ラインD1～Dnと称する）に接続されている。

【0047】

図11および図12に示すように、前記陽極ラインD1～Dnは走査ラインA1～Anに対応して配列された各発光素子の陽極側を共通接続するものであり、各陽極ラインD1～Dnは消去用陽極ドライバ30によって、その電位レベルが制御されるようになされる。前記消去用陽極ドライバ30は、一例として図5に示した消去用陰極ドライバ26と同様にシフトレジスタ27と、スイッチング用のFETまたはTFT28a、28bとを備えた構成になされている。

【0048】

そして、図12に示す共通陰極17の電位レベルを、例えば基準電位（アース＝0V）とした場合、スイッチング用のFETを介して陽極ラインD1に+10V程度の正電位を加えた場合には、EL素子14に対して発光可能な順方向電圧を供給することができる。また、スイッチング用のFETを介して陽極ラインD1に-8V程度の負電位を加えた場合には、EL素子14に対して逆バイアス電圧を加えることができる。

【0049】

斯くして、図11および図12に示す第4の実施の形態においても、各陽極ラインD1～Dnを介して逆バイアス電圧を加えることができ、この場合においても前記した各実施の形態と同様にダイオード15を介してEL素子14に対して効果的に逆バイアス電圧を加えることができる。また、走査ラインに対応した各陽極ラインD1～Dnを介して、線順次方式により逆バイアス電圧を印加するようになされるので、逆バイアス電圧の印加に基づいて発生する瞬時のピーク電流を分散させることができる。

【0050】

以上説明した各実施の形態においては、いずれも点灯駆動用トランジスタ12に対して並列接続されて、逆バイアス電圧により導通状態となるダイオード15を用いた例を示しているが、ダイオード15に代えて点灯駆動用トランジスタ12のドレイン・ソース間に、スイッチング用のTFTを挿入するようにしてもよい。図13はその例を示したものであり、図4に示した1つの画素10に対応する回路構成において、ダイオード15に代えて、TFT19が接続されている。そして、このTFT19のゲートには逆バイアス印加期間において、TFT19がオン動作される信号が供給されるように制御される。

【0051】

図14もダイオード15に代えて、TFT19を利用した他の例を示すものであり、これはすでに説明した図12に示した1つの画素10に対応する回路構成に適用したものである。そして、このTFT19のゲートには同様に逆バイアス印加期間において、TFT19がオン動作される信号が供給されるように制御される。

【0052】

以上説明した各実施の形態においては、いずれも1画素を制御用TFT11と駆動用TFT12との組み合わせ（2トランジスタ）により構成した例を挙げているが、次に説明する回路構成は前記2トランジスタによる構成を基本として、さらに他の制御用トランジスタを具備した例を示すものである。すなわち、図15に示す例はキャパシタ13に保持された電荷を所定のタイミングで消去用TFT

Tにより放電させる手段を採用したものであり、消去用TFTを用いた回路例に、この発明を適用した場合の第5の実施の形態を示したものである。

【0053】

この図15には、表示パネルにおける1つの画素10に対応する回路構成が示されている。図15に示すように電圧ラインVaとVbとの間に、駆動用TFT12とEL素子14が直列状態に接続されている。そして、駆動用TFT12に対して並列接続されて、逆バイアス電圧により導通状態となるダイオード15が配置されている。この駆動用TFT12は電荷保持用のコンデンサ13の端子電圧がゲートに印加されることにより、EL素子14に定電流を流し、EL素子14を発光状態にすることができる。

【0054】

一方、制御用TFT11のゲートは走査線（走査ラインA1）に接続され、ソースは書き込み用電流源Idを備えたデータ線（データラインB1）に接続されている。この構成によりアドレス期間において、TFT32を介して前記コンデンサ13に対して電流源Idによる電流値に対応した電荷を蓄積するように作用する。なお、前記TFT32は前記駆動用TFT12と共に、いわゆるカレントミラー回路を構成している。また、消去用TFT33が備えられており、この消去用TFT33のゲートには消去ラインE1を介した制御電圧が印加されるように構成されている。

【0055】

前記した図15の回路構成において、アドレス期間においてはTFT11およびTFT32を介して、コンデンサ13に対して書き込み動作がなされる。これに基づいて駆動用TFT12はコンデンサ13の端子電圧に対応した電流をEL素子14に流し、単位フレーム期間においてEL素子14は発光を持続することができる。この場合、前記単位フレーム期間における所定のタイミングにおいて、消去ラインE1に消去信号が供給されるようになされる。これにより、コンデンサ13に蓄積された電荷は各TFT32, 33を介して放電されるため、EL素子14の発光はそのタイミングにおいて停止される。

【0056】

図 1 5 に示す回路構成においても、電圧ライン V_a を固定電圧とし、また電圧ライン V_b を例えば図 5 に示したように、走査ライン $A_1 \sim A_n$ に対応して形成された陰極ライン $C_1 \sim C_n$ により得るように構成することができる。このような構成とした場合には、陰極ライン $C_1 \sim C_n$ に供給する電圧レベルを“ V_h ”または“ V_l ”とすることで、図 5 に基づいて説明した作用と同様に、EL 素子 1 4 に対して逆バイアス電圧または順方向電圧を加えることができる。

【 0 0 5 7 】

また、図 1 5 における電圧ライン V_a の電圧レベルを変化させることでも、EL 素子 1 4 に対して逆バイアス電圧または順方向電圧を加えることができる。この場合においては、電圧ライン V_a の電圧レベルが変化するために、電流源 I_d に対して電流の回り込みが現象が発生する。これを避けるためには、その電流経路を構成する T F T 1 1 または T F T 3 2 がオフされるように制御することが望ましい。

【 0 0 5 8 】

この図 1 5 に示した回路構成による第 5 の実施の形態においても、ダイオード 1 5 を介して EL 素子 1 4 に対して効果的に逆バイアス電圧を加えることができる。また、走査ラインに対応した各陰極ライン $C_1 \sim C_n$ を介して、線順次方式により逆バイアス電圧を印加するようになされるので、逆バイアス電圧の印加に基づいて発生する瞬時のピーク電流を分散させることができる。

【 0 0 5 9 】

次に示す図 1 6 は、同じく 2 トランジスタにより構成される 1 画素の構成を基本として、さらに他の制御用トランジスタを具備した第 6 の実施の形態を示したものであり、この図 1 6 に示す回路構成は、電流書き込み回路と称している。すなわち、電圧ライン V_a と V_b との間には、スイッチング用 T F T 3 5、駆動用 T F T 1 2 および EL 素子 1 4 が直列状態に接続されている。

【 0 0 6 0 】

そして、スイッチング用 T F T 3 5 および駆動用 T F T 1 2 の直列回路に対して並列接続されて、逆バイアス電圧により導通状態となるダイオード 1 5 が配置されている。前記駆動用 T F T 1 2 は電荷保持用のコンデンサ 1 3 の端子電圧（

ゲート電圧)に基づいてE L素子14に定電流を流すことができ、これによりE L素子14を発光状態にすることができる。

【0061】

一方、制御用の第1TFT11aおよび第2TFT11bのゲートは、走査線(走査ラインA1)に接続されており、書き込み用電流源Idを備えたデータ線(データラインB1)からの電流は、第2TFT11bを介してコンデンサ13を充電するように構成されている。この構成によりアドレス期間においては、走査ラインA1における制御電圧により、スイッチング用TFT35はオフ状態となり、制御用の第1TFT11aおよび第2TFT11bは、共にオン状態となる。したがって、コンデンサ13には前記書き込み用電流源Idからの電流に対応した電荷が蓄積される。

【0062】

前記したアドレス期間の終了と同時に、制御用の第1TFT11aおよび第2TFT11bは、共にオフ状態となり、スイッチング用TFT35がオン状態となることで、前記電圧ラインVaとVbとの間にスイッチング用TFT35、駆動用TFT12およびE L素子14が直列状態に接続される。そして、駆動用TFT12はコンデンサ13に蓄積された電荷量(すなわち、前記Idによる書き込み電流値)に対応してE L素子14を発光させるように作用する。

【0063】

図16に示す回路構成においても、電圧ラインVaを固定電圧とし、また電圧ラインVbを例えば図5に示したように、走査ラインA1～Anに対応して形成された陰極ラインC1～Cnにより得るように構成することができる。このような構成とした場合には、陰極ラインC1～Cnに供給する電圧レベルを“Vh”または“Vl”とすることで、図5に基づいて説明した作用と同様に、E L素子14に対して逆バイアス電圧または順方向電圧を加えることができる。

【0064】

また、図16における電圧ラインVaの電圧レベルを変化させることでも、E L素子14に対して逆バイアス電圧または順方向電圧を加えることができる。この場合においては、TFT11bまたはTFT35のいずれかがオフ状態であれ

ば、電圧ライン V_a の変動により書き込み用電流源 I_d に干渉を与えるのを避けることができる。

【0065】

この図 16 に示した回路構成による第 6 の実施の形態においても、ダイオード 15 を介して EL 素子 14 に対して効果的に逆バイアス電圧を加えることができる。また、走査ラインに対応した各陰極ライン $C_1 \sim C_n$ を介して、線順次方式により逆バイアス電圧を印加することができるので、逆バイアス電圧の印加に基づいて発生する瞬時のピーク電流を分散させることができる。

【0066】

なお、前記した図 15 および図 16 に示す回路構成においても、図 13 および図 14 に基づいて説明したようにダイオード 15 に代えてスイッチング用の TFT 19 を用いるようにしてもよい。このようにスイッチング用の TFT を用いた場合には、逆バイアス電圧の印加期間において、TFT がオン動作される信号が供給されるように制御される。

【図面の簡単な説明】

【図 1】

従来のアクティブマトリクス型表示パネルにおける 1 つの画素に対応する回路構成の一例を示した結線図である。

【図 2】

図 1 に示した各画素の回路構成を、表示パネルに配列した状態を模式的に示した平面図である。

【図 3】

この発明にかかる駆動装置における第 1 の実施の形態を示したブロック図である。

【図 4】

図 3 に示した表示パネルに形成された各画素のうちの 1 つの回路構成を示した結線図である。

【図 5】

各画素を発光駆動させる場合の具体的な構成を示した結線図である。

【図 6】

単位フレーム期間を複数のサブフィールドに分割して階調制御を行う例を示したタイミング図である。

【図 7】

図 6 に示す階調表現を行う場合に採用される線順次表示方式の動作を説明するタイミング図である。

【図 8】

階調制御としてアナログ制御方式を採用した第 2 の実施の形態を示した結線図である。

【図 9】

図 8 に示す実施の形態において逆バイアス電圧を供給する制御形態の一例を示したタイミング図である。

【図 1 0】

図 8 における第 1 ゲートドライバを省略した第 3 の実施の形態を示した結線図である。

【図 1 1】

この発明にかかる駆動装置における第 4 の実施の形態を示したブロック図である。

【図 1 2】

図 1 1 に示した表示パネルに形成された各画素のうちの 1 つの回路構成を示した結線図である。

【図 1 3】

図 4 に示す画素構成例における変形例を示した結線図である。

【図 1 4】

図 1 2 に示す画素構成例における変形例を示した結線図である。

【図 1 5】

この発明を適用した他の画素構成例を示した結線図である。

【図 1 6】

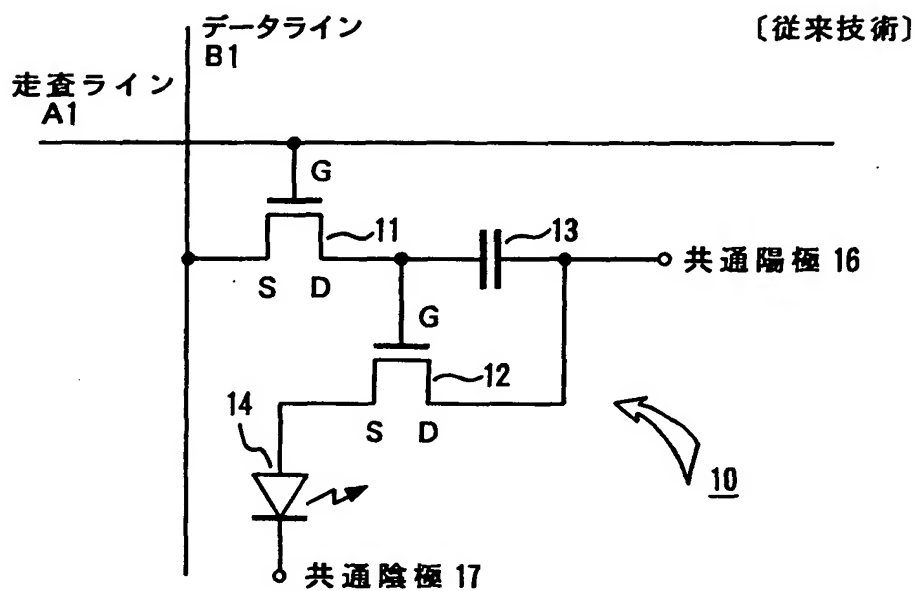
この発明を適用したさらに他の画素構成例を示した結線図である。

【符号の説明】

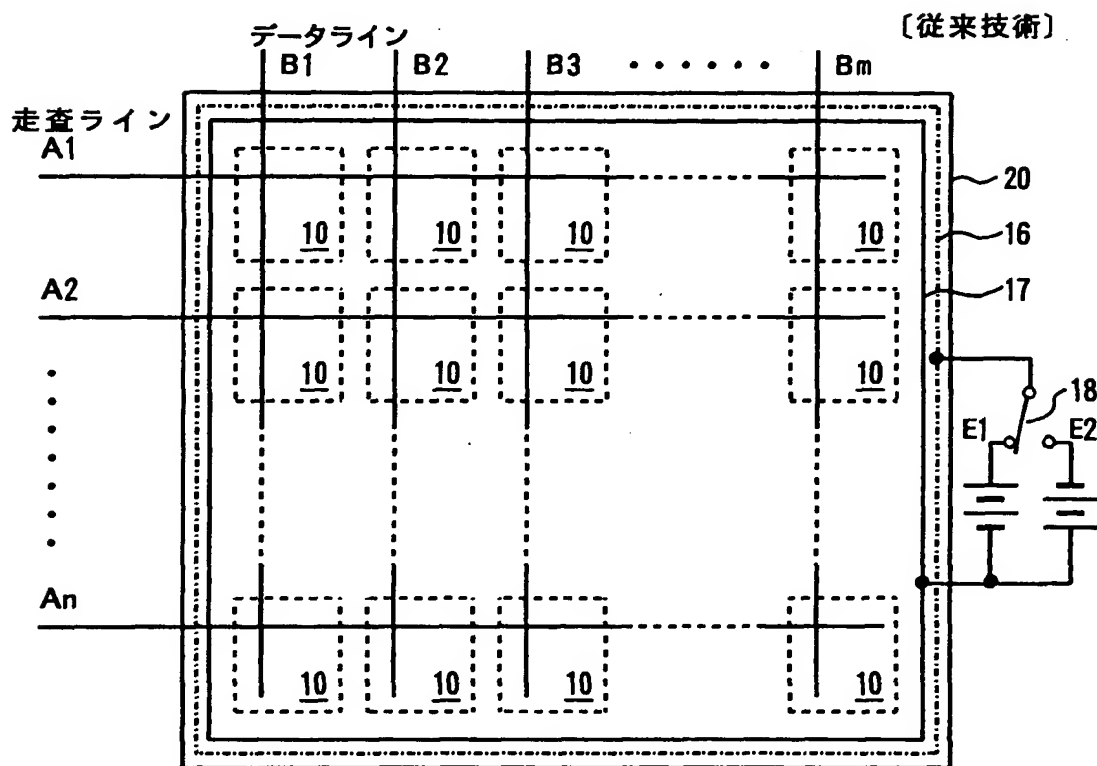
1 0	画素
1 1	制御用 T F T
1 2	駆動用 T F T
1 3	キャパシタ
1 4	発光素子（有機 E L 素子）
1 5	ダイオード
1 6	共通陽極
1 7	共通陰極
1 9	スイッチング用 T F T
2 0	表示パネル
2 4	データドライバ
2 5	ゲートドライバ
2 6	消去用陰極ドライバ
3 0	消去用陽極ドライバ
A1 ～ An	走査ライン（走査線）
B1 ～ Bm	データライン（データ線）
C1 ～ Cn	陰極ライン（電極ライン）
D1 ～ Dn	陽極ライン（電極ライン）

【書類名】 図面

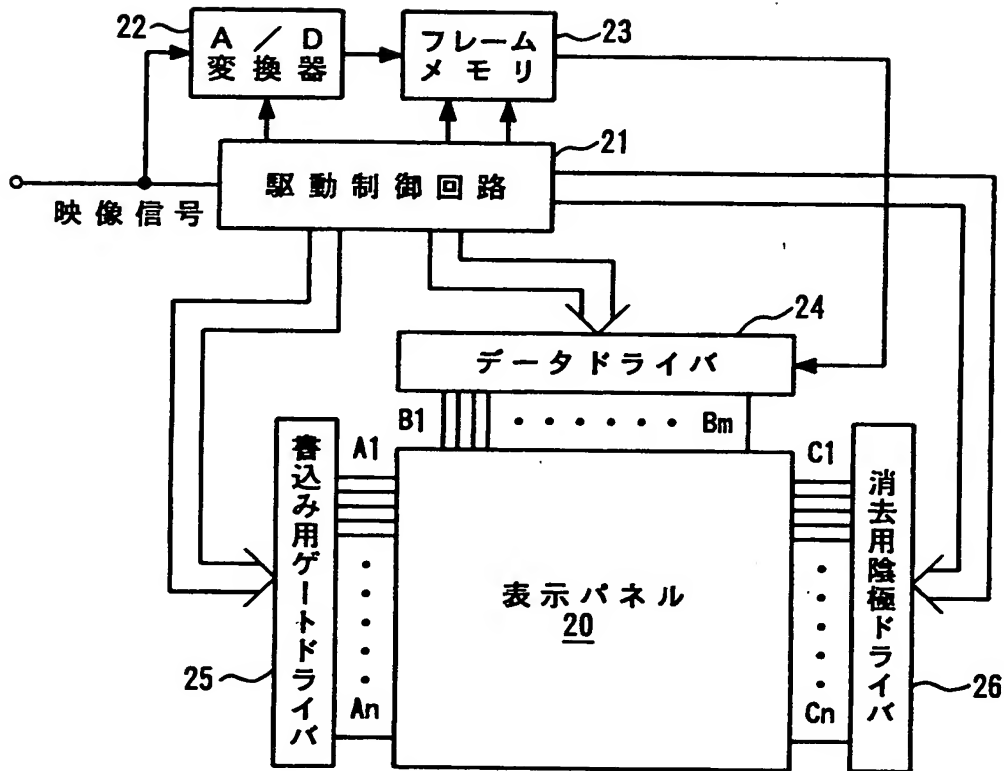
【図1】



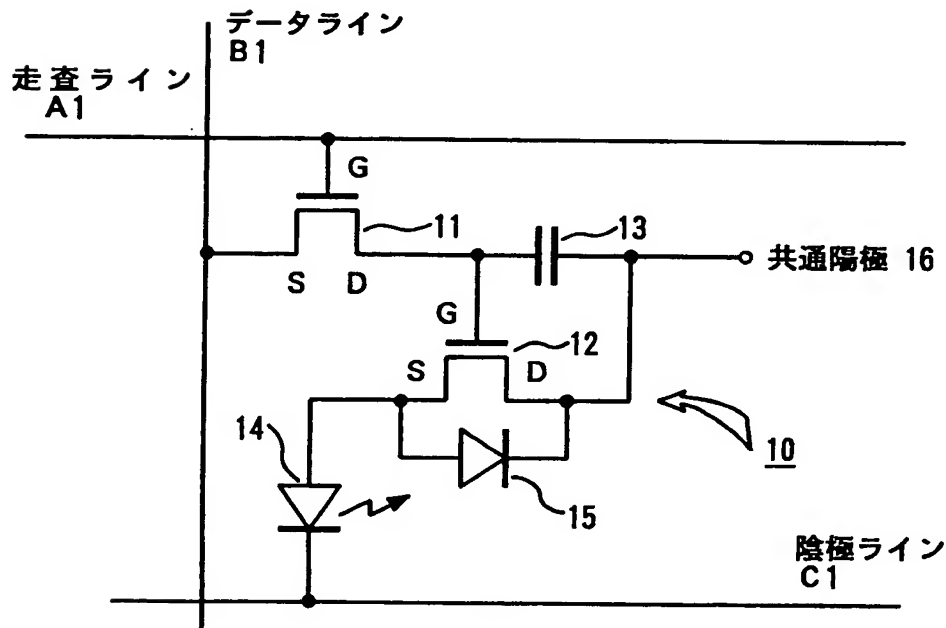
【図2】



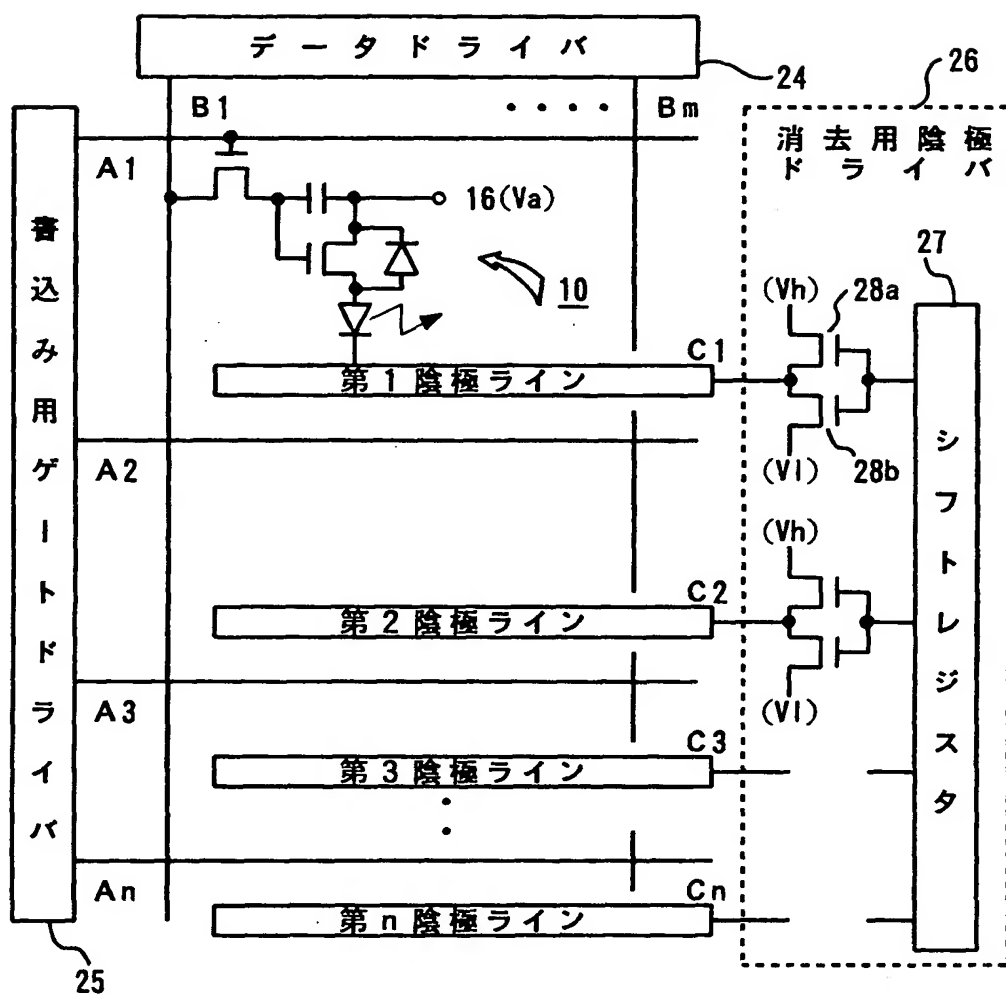
【図3】



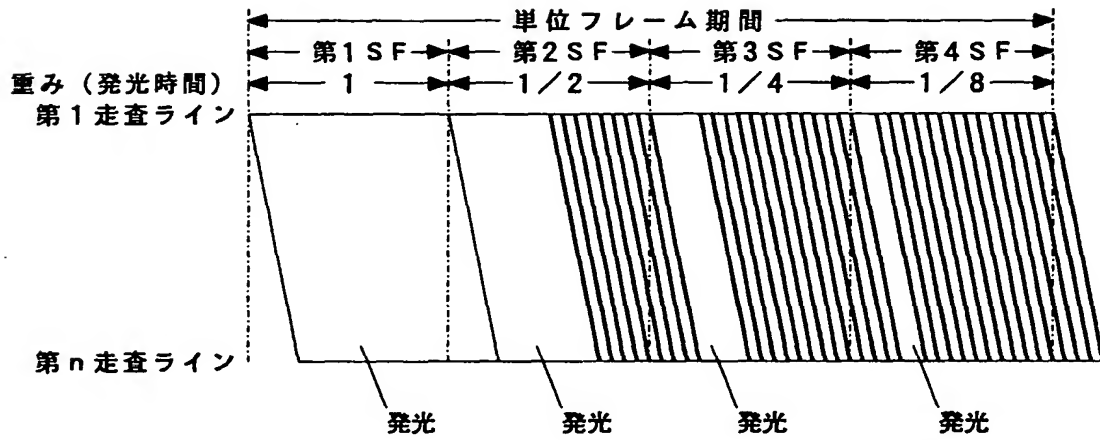
【図4】



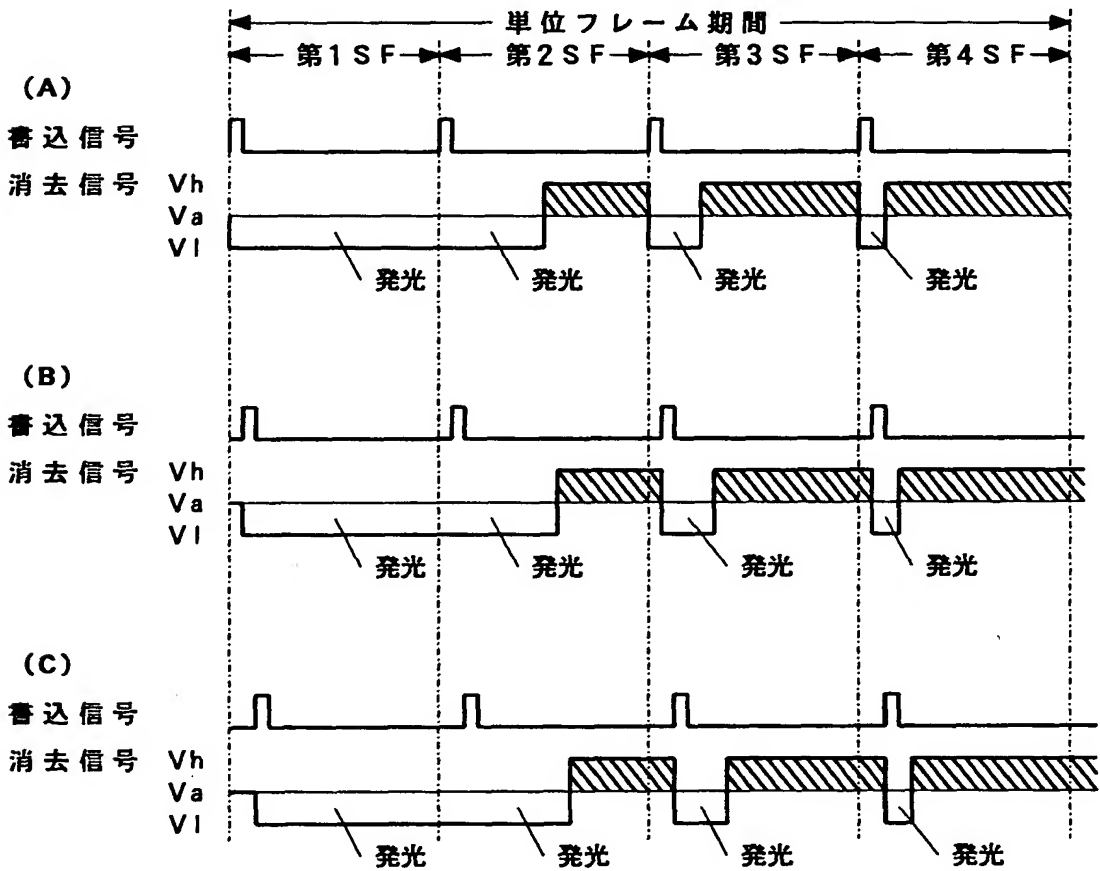
【図5】



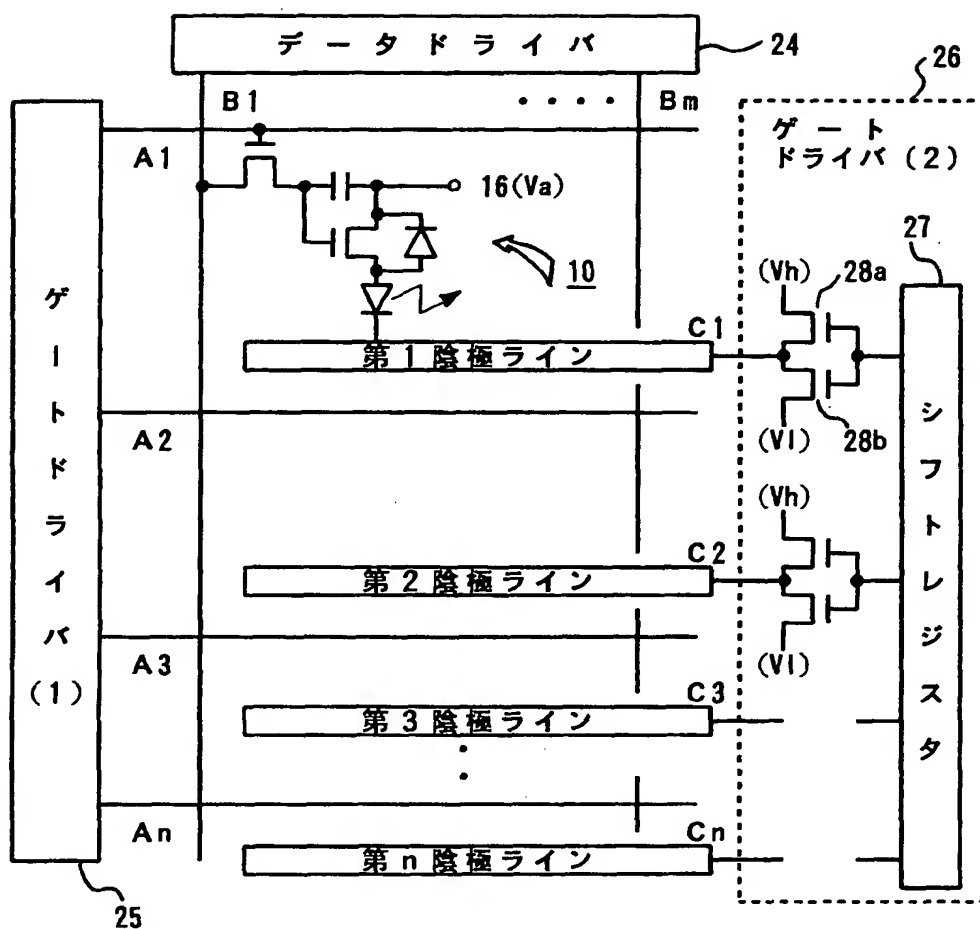
【図6】



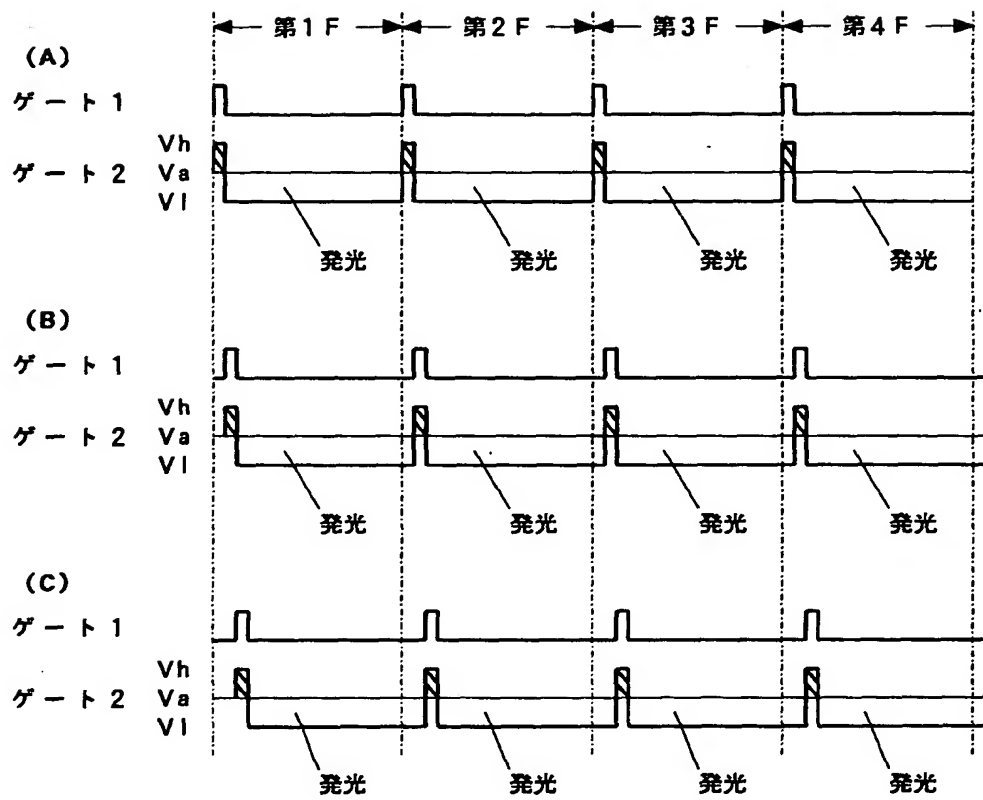
【図7】



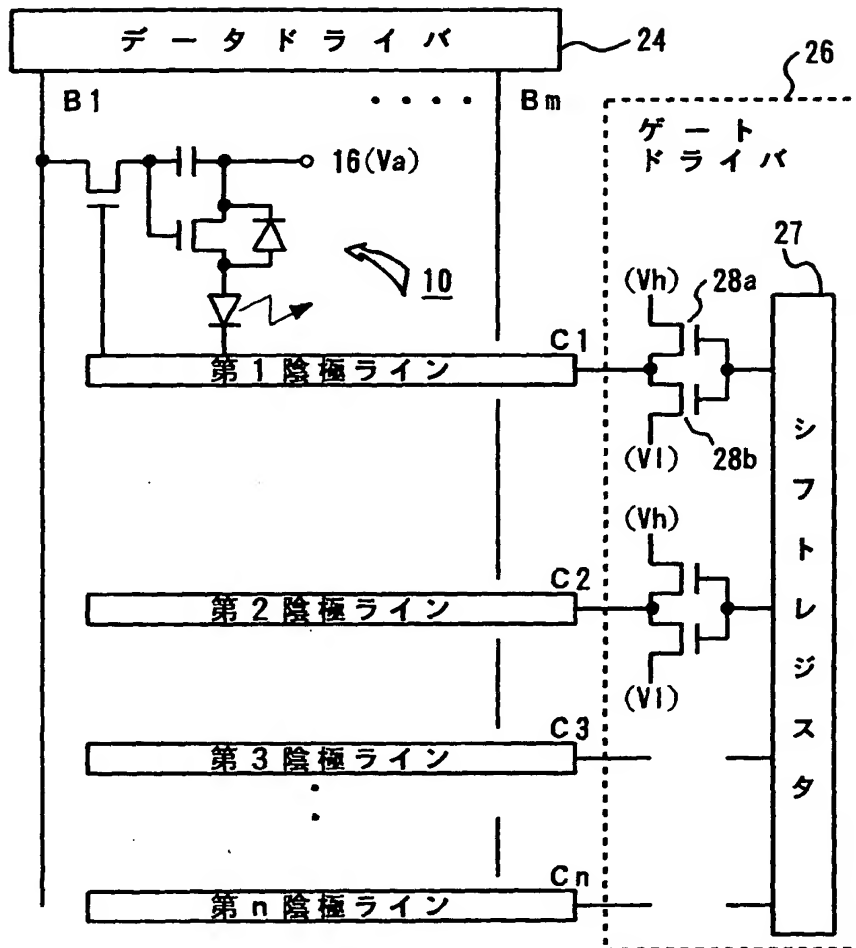
【図8】



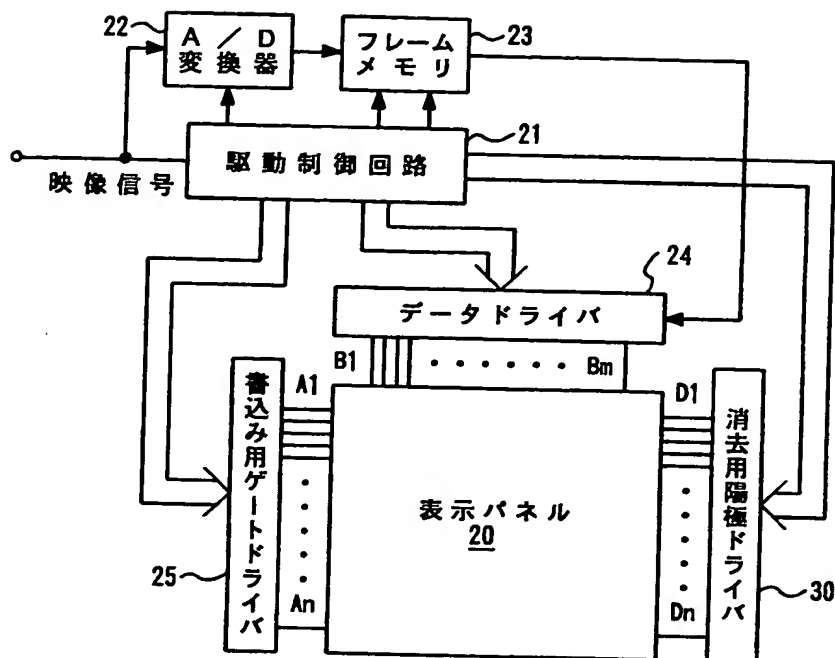
【図9】



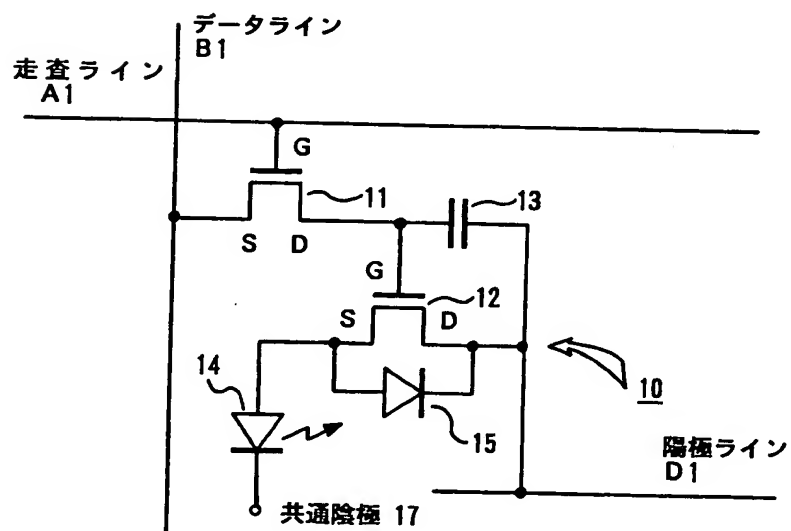
【図10】



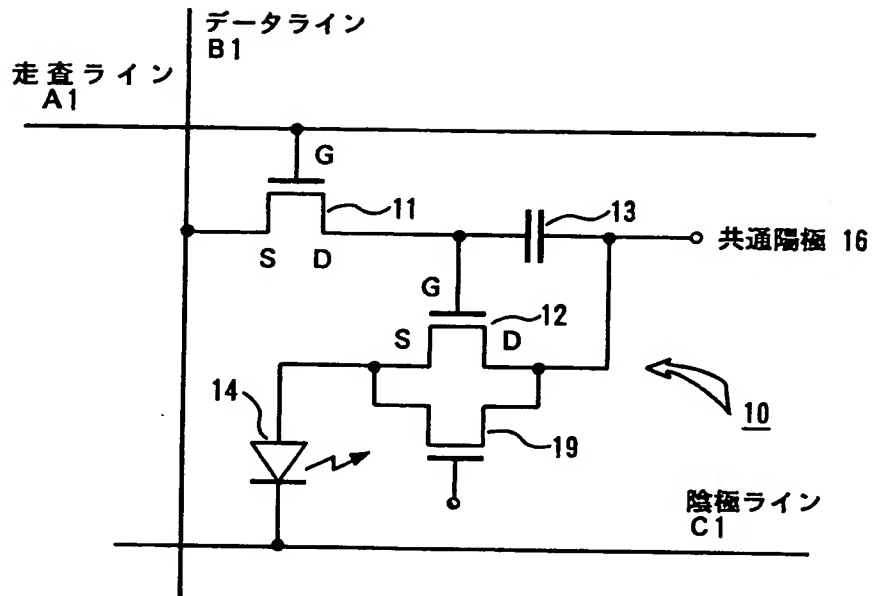
【図11】



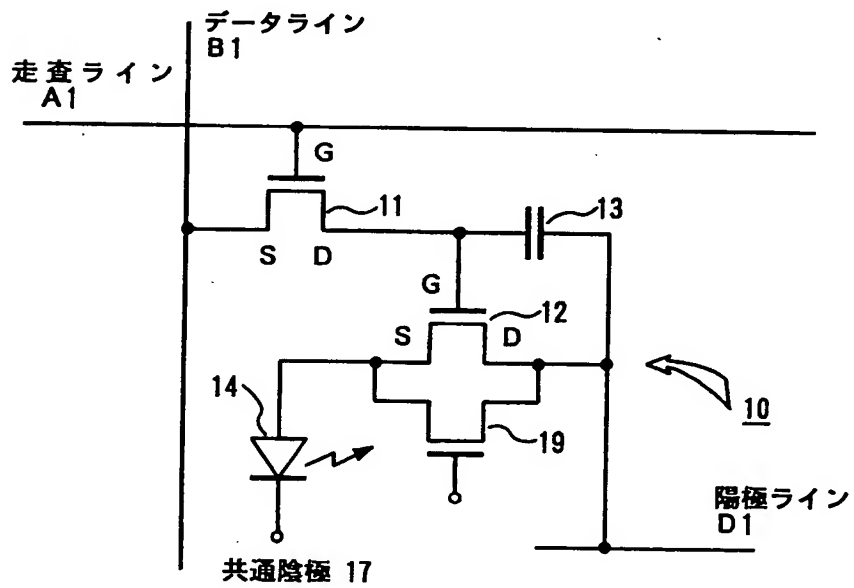
【図12】



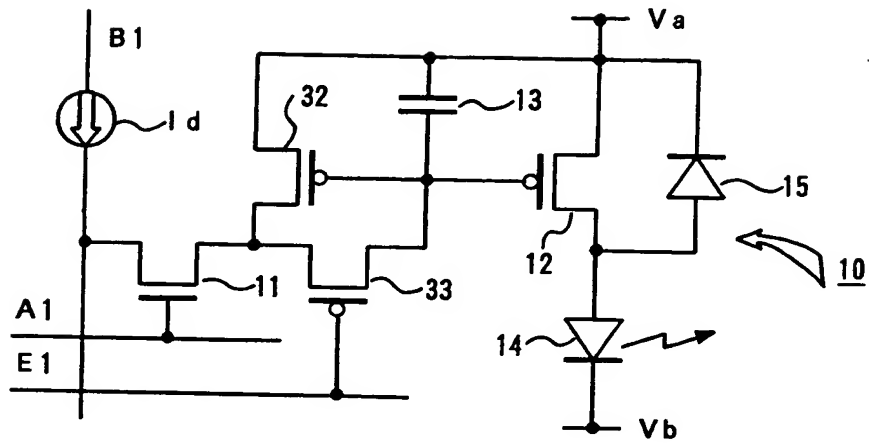
【図13】



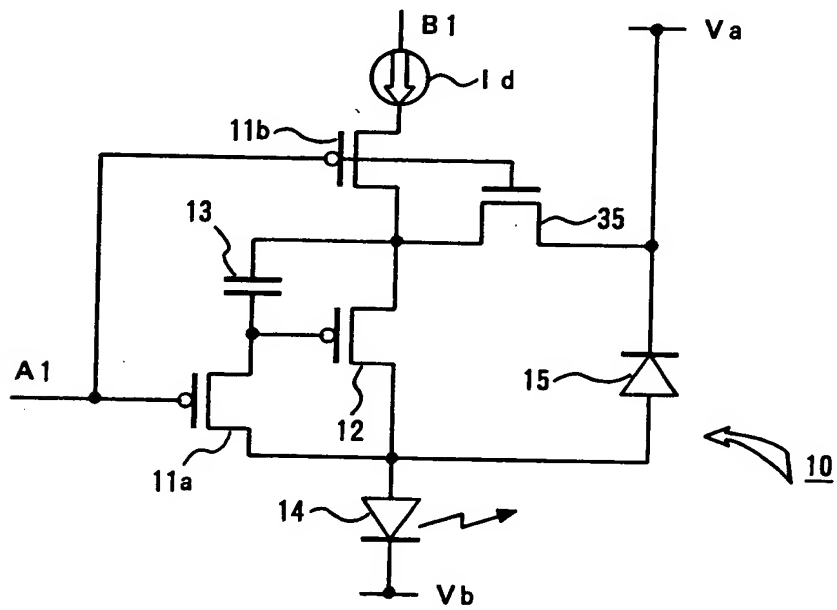
【図14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型 E L 表示装置において、点灯時間率を低下させることなく、E L 素子に対して効果的に逆バイアス電圧を印加することができるように構成すること。

【解決手段】 1つの画素 10 を構成する E L 素子 14 は、制御用 T F T 11 および駆動用 T F T 12 によって点灯駆動される。走査ライン A1 に対応して配列された E L 素子 14 の陰極側を共通接続する陰極ライン C1 には、共通陽極 16 の電圧レベルを基準とした順方向電圧、または逆バイアス電圧が印加される。陰極ライン C1 に逆バイアスが印加された場合においては、駆動用 T F T 12 をバイパスしてダイオード 15 が導通状態となる。これにより、E L 素子に対して効果的に逆バイアス電圧を印加することができる。例えば時分割階調表現手段における同時消去法 (S E S) を併用した場合においては、E L 素子の点灯時間率を低下させる問題も回避することができる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000221926]

1. 変更年月日 2002年 2月 8日

[変更理由] 住所変更

住 所 山形県天童市大字久野本字日光1105番地
氏 名 東北パイオニア株式会社